



(10) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENTAMT

(12) **Offenlegungsschrift**
 (10) **DE 197 30 762 A 1**

(51) Int. Cl. 6:

H 01 L 27/115

H 01 L 21/8247

DE 197 30 762 A 1

- (21) Aktenzeichen: 197 30 762.0
- (22) Anmeldetag: 17. 7. 97
- (43) Offenlegungstag: 2. 7. 98

(30) Unionspriorität:

96-75711 28. 12. 96 KR

(72) Erfinder:

Park, Eun-Jeong, Cheongju, KR

(71) Anmelder:

LG Semicon Co., Ltd., Cheongju, KR

(74) Vertreter:

Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 81479
München**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Verfahren zur Herstellung einer Flash-Speicherzelle

(57) Ein Verfahren zur Herstellung einer Flash-Speicherzelle umfaßt die Schritte des Bildens einer ersten Gateoxidsschicht auf einem Substrat eines ersten Leitfähigkeits-
typs, das Bilden eines potentialmäßig nicht festgelegten Gates in einer Streifenform in einer ersten Richtung auf der ersten Gateoxidsschicht, das Bilden einer Zwischen-
isolationssschicht, eines Steuerungsgates und einer Ab-
deckoxidsschicht in einer Streifenform in einer zweiten
Richtung, um senkrecht das potentialmäßig nicht festge-
legte Gate zu überlagern, mit ersten und zweiten lateralen
Oberflächen, das Bilden einer Seitenwandisolations-
schicht auf der zweiten lateralen Oberfläche der Zwi-
schenisolationssschicht, dem Steuerungsgate und der Ab-
deckoxidsschicht, das Bilden einer schwach dotierten Re-
gion eines ersten Leitfähigkeits-
typs auf dem Substrat auf der zweiten lateralen Oberfläche des Steuerungsgates und der Abdeckoxidsschicht, das Bilden einer zweiten Ga-
teoxidsschicht auf der ersten und der zweiten lateralen
Oberfläche des potentialmäßig nicht festgelegten Gates und des Steuerungsgates, das Bilden eines Auswahlgates und eines Löschgates, die sich in einer Seitenwandform auf der ersten und der zweiten lateralen Oberfläche des potentialmäßig nicht festgelegten Gates und des Steue-
rungsgates befinden.

DE 197 30 762 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf ein Verfahren zum Herstellen einer Blitzspeicherzelle oder "Flash"-Speicherzelle und insbesondere auf ein Verfahren zum Herstellen einer Flash-Speicherzelle mit einem Auswahltor oder Auswahlgate, um einen unerwünschten Leckstrom zu verhindern, der durch eine Überlösung bewirkt wird.

Eine Flash-Speicherzelle, die eine geschichtete Struktur eines potentialmäßig nicht festgelegten Gates und eines Steuerungsgates aufweist, ist ein nichtflüchtiges Speicherbauelement mit einer hohen Löschr率te, da dasselbe Speicherarrayzellen gleichzeitig löschen kann.

Das Programmieren der Flash-Speicherzellen wird ausgeführt, wenn heiße Elektronen in das potentialmäßig nicht festgelegte Gate von dem Kanal injiziert werden, der durch Anlegen einer hohen Spannung an das Steuerungsgate gebildet wird. Das Verhältnis der Spannung, die an das potentialmäßig nicht festgelegte Gate angelegt wird, zu der Spannung, die an das Steuerungsgate angelegt wird, ist als Kopplungsverhältnis bekannt, und so wie dasselbe zunimmt, wird zusätzlich die Programmiereffizienz erhöht.

Die Lösung der Flash-Speicherzelle wird erreicht, wenn eine hohe Spannung an eine Quellenregion oder "Source"-Region mit einem tiefen Übergang angelegt wird, und wenn Elektronen des potentialmäßig nicht festgelegten Gates in die Sourcerregion oder ein Substrat durch den Mechanismus des Fowler-Nordheim-Tunnelns injiziert werden. Es ist beabsichtigt, die Dicke einer Gateoxidschicht in dem Bodenteil des potentialmäßig nicht festgelegten Gates zu erniedrigen, um die Löscheffizienz zu verbessern, was die Spannung, die an das potentialmäßig nicht festgelegte Gate angelegt ist, erniedrigen kann und folglich das Kopplungsverhältnis reduziert. Es ist daher erforderlich, die Abnahme des Kopplungsverhältnisses zu verhindern, um die Programmier- und die Löscheffizienz zu verbessern.

Die Fig. 2(A) bis 2(D) sind Herstellungsablaufdiagramme, die das Verfahren zum Herstellen einer Flash-Speicherzelle gemäß dem Stand der Technik darstellen.

Bezugnehmend auf Fig. 2(A) ist eine Feldoxidschicht 13 zum Definieren einer aktiven Region des Bauelements auf der Feldregion eines P-Typ-Substrats 11 unter Verwendung der LOCOS (LOCAL Oxidation of Silicon = lokale Oxidation von Silizium) gebildet. Dann wird eine thermische Oxidation an den freiliegenden Teilen des Substrats 11 durchgeführt, um eine Gateoxidschicht 15 zu bilden. Nachdem ein Polysilizium, das mit Störstellen dotiert ist, auf der Feldoxidschicht und der Gateoxidschicht 15 mit einem CVD (CVD = Chemical Vapor Deposition = chemische Gasphasenabscheidung) aufgebracht ist, wird schließlich ein potentialmäßig nicht festgelegtes Gate 17 durch Strukturieren des aufgebrachten Polysiliziums mit Photolithographie in eine Streifenform in einer ersten Richtung gebildet, d. h. entlang einem Kanal.

Bezugnehmend auf Fig. 2(B) ist auf dem potentialmäßig nicht festgelegten Gate 17 eine Zwischenisolationschicht 19 mit einer ONO-Struktur (ONO = Oxide-Nitride-Oxide = Oxid-Nitrid-Oxid) gebildet.

Bezugnehmend auf Fig. 2(C) werden, nachdem ein Polysilizium, das mit Störstellen dotiert ist, auf dem Substrat 11 einschließlich der Feldoxidschicht 13 und der Zwischenisolationschicht 19 mit der CVD aufgebracht wurde, und ein Steuerungsgate 21 schließlich durch Strukturieren des aufgebrachten Polysiliziums mit Photolithographie in eine Streifenform in einer zweiten Richtung, d. h. den Kanal kreuzend, gebildet wird, zu diesem Zeitpunkt ferner die Zwischenisolationschicht 19, das potentialmäßig nicht festgelegte Gate 17 und die Gateoxidschicht 15 außerhalb der

Abschnitte, die das Steuerungsgate 21 überlagert, entfernt.

Bezugnehmend auf Fig. 2(D) werden die Source- und die Senken- oder "Drain"-Region 23 bzw. 24 durch starkes Ionenimplantieren von N-Typ-Störstellen, was der zu dem Substrat 11 entgegengesetzte Leitfähigkeitsotyp ist, unter Verwendung des Steuerungsgates 21 als Maske gebildet. Dann wird eine schwach dotierte Region 25 zum Bilden einer Doppeldiffusionsdrainstruktur gebildet, die von dem potentialmäßig nicht festgelegten Gate 17 durch leichtes Ionenimplantieren von N-Typ-Störstellen überlagert werden soll, um die Drainregion 24 zu umgeben. Bei diesem Prozeß kann die schwach dotierte Region 25 vor der Source- und der Drainregion 23 und 24 gebildet werden.

Die Flash-Speicherzelle, die nach dem obigen Verfahren hergestellt wurde, wird programmiert, wenn wobei die Sourcerregion 23 mit der Masse verbunden ist, die Spannung V_g, die an das Steuerungsgate 21 angelegt ist, höher als die Spannung V_d ist, die an die Drainregion 24 angelegt ist, d. h. V_g > V_d, und wenn heiße Elektronen, die in dem Kanal erzeugt werden, in das potentialmäßig nicht festgelegte Gate 17 injiziert werden. Um programmierte Daten in der Flash-Speicherzelle zu löschen, wobei das Steuerungsgate 21 auf Masse liegt, oder an dasselbe eine negative Spannung anlegt ist, wird die Spannung V_s an die Sourcerregion angelegt, und die Elektronen in dem potentialmäßig nicht festgelegten Gate 17 tunnen folglich zu der Sourcerregion 23 oder dem Substrat 11.

Mit der oben beschriebenen Flash-Speicherzelle gemäß dem Stand der Technik gehen einige Probleme einher, die darin bestehen, daß die dünne Gateoxidschicht bewirkt, daß das Koppelverhältnis sinkt, und die Programmiereffizienz erniedrigt wird, wobei jedoch eine dicke Gateoxidschicht zu einer erniedrigen Löscheffizienz führt. Wenn außerdem die Gateoxidschicht zu dünn ist, kann die Speicherzelle beschädigt werden, wobei heiße Elektronen in das potentialmäßig nicht festgelegte Gate beim Programmieren injiziert werden, und dies die Zuverlässigkeit der Zelle erniedrigt. Es kann ferner eine Überlösung während einer wiederholten Lösung aufgrund heißer Löcher, die durch die Gateoxidschicht eingefangen werden, auftreten.

Dementsprechend ist die vorliegende Erfindung auf ein Verfahren zum Herstellen einer Flash-Speicherzelle gerichtet, die im wesentlichen eines oder mehrere der Probleme aufgrund der Einschränkungen und der Nachteile der verwandten Technik verhindert.

Die Aufgabe der vorliegenden Erfindung besteht darin, eine Flash-Speicherzelle und ein Verfahren zum Herstellen einer Flash-Speicherzelle zu schaffen, um die Programmiereffizienz zu erhöhen, und um zu verhindern, daß die Löscheffizienz niedriger ist, wobei verhindert wird, daß eine Gateoxidschicht durch heiße Elektronen beschädigt wird, die in das potentialmäßig nicht festgelegte Gate beim Programmieren injiziert werden, und wobei verhindert wird, daß die Informationen der Zellen durch Reduzieren des Leckstroms, der durch eine Überlösung, sogar bei einer wiederholten Lösung, bewirkt wird, beschädigt werden.

Diese Aufgabe wird durch eine Flash-Speicherzelle gemäß Anspruch 1 und durch ein Verfahren zum Herstellen einer Flash-Speicherzelle gemäß Anspruch 7 gelöst.

Um diese und weitere Vorteile gemäß dem Zweck der vorliegenden Erfindung, wie ausgeführt und breit beschrieben, zu erreichen, umfaßt das Verfahren zum Herstellen einer Flashspeicherzelle die Schritte des Bildens einer ersten Gateoxidschicht auf einem Substrat eines ersten Leitfähigkeitsyps, das Bilden eines potentialmäßig nicht festgelegten Gates, das sich in einer Streifenform in einer ersten Richtung auf der ersten Gateoxidschicht befindet, das Bilden einer Zwischenisolationschicht, eines Steuerungsgates und

einer Abdeckoxidschicht, die sich in einer Streifenform in einer zweiten Richtung befinden, um senkrecht das potentialmäßig nicht festgelegte Gate zu überlagern, wobei dieselben jeweils eine erste und eine zweite laterale Oberfläche aufweisen, das Bilden einer Seitenwandsolationsschicht auf der zweiten lateralen Oberfläche der Zwischenisolationsschicht, des Steuerungsgates und der Abdeckoxidschicht, das Bilden einer schwach dotierten Region eines ersten Leitfähigkeitsstyps auf dem Substrat auf der zweiten lateralen Oberfläche des Steuerungsgates und der Abdeckoxidschicht, das Bilden einer zweiten Gateoxidschicht auf der ersten und der zweiten lateralen Oberfläche des potentialmäßig nicht festgelegten Gates und des Steuerungsgates, das Bilden eines Auswahlgates und eines Löschgates, die sich in einer Seitenwandform auf der ersten und der zweiten lateralen Oberfläche des potentialmäßig nicht festgelegten Gates und des Steuerungsgates befinden, und das Bilden einer stark dotierten Region eines zweiten Leitfähigkeitsstyps auf dem Substrat unter Verwendung der Abdeckoxidschicht, des Auswahlgates und des Löschgates als Maske.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Flash-Speicherzelle gemäß dem Stand der Technik;

Fig. 2(A) bis 2(D) Herstellungsablaufdiagramme, die den Prozeß des Herstellens einer Flash-Speicherzelle gemäß dem Stand der Technik darstellen;

Fig. 3 eine Flash-Speicherzelle gemäß der vorliegenden Erfindung; und

Fig. 4(A) bis 4(E) Herstellungsablaufdiagramme, die den Prozeß des Herstellens einer Flash-Speicherzelle gemäß der vorliegenden Erfindung darstellen.

Es wird nun detailliert auf die bevorzugten Ausführungsbeispiele der vorliegenden Erfindung Bezug genommen, die in den beigefügten Zeichnungen dargestellt sind.

Die Fig. 4(A) bis 4(E) sind Herstellungsablaufdiagramme des Prozesses zum Herstellen einer Flash-Speicherzelle gemäß der vorliegenden Erfindung.

Bezugnehmend auf Fig. 4(A) ist eine Feldoxidschicht 33 zum Definieren einer aktiven Region des Bauelements auf der Feldregion eines Substrats 31 eines P-Typs mit LOCOS und dergleichen gebildet. Der freiliegende Teil des Substrats 31 wird mit thermischer Oxidation behandelt, um eine erste Gateoxidschicht 35 mit einer Dicke von 20 bis 50 nm zu bilden. Dann wird ein Polysilizium, das mit Störstellen dotiert ist, mit einer Dicke von 300 bis 400 nm auf der Feldoxidschicht 33 und der ersten Gateoxidschicht unter Verwendung der CVD aufgebracht. Danach wird ein potentialmäßig nicht festgelegtes Gate 37 durch Strukturieren des Polysiliziums in eine Streifenform mit Photolithographie in einer ersten Richtung entlang einem Kanal gebildet.

Bezugnehmend auf Fig. 4(B) wird auf dem potentialmäßig nicht festgelegten Gate 37 eine Zwischenisolationsschicht 39 einer ONO-Struktur mit einer Dicke von 20 bis 50 nm gebildet. Dann wird ein Polysilizium, das mit Störstellen dotiert ist, mit einer Dicke von 300 bis 400 nm auf dem Substrat 31 einschließlich der Feldoxidschicht 33 und der Zwischenisolationsschicht 39 mit der CVD aufgebracht, und Siliziumoxid wird mit einer Dicke von etwa 300 bis 400 nm auf dem Polysilizium mit der CVD aufgebracht. Das Polysilizium und das Siliziumoxid werden in eine Streifenform in einer zweiten Richtung, die die Richtung des Kanals kreuzt, mit Photolithographie strukturiert, um ein Steuerungsgate 41 und eine Abdeckschicht 43 mit ersten und zweiten lateralen Oberflächen zu bilden. Die Zwischenisolationsschicht 39 wird ebenfalls gleichzeitig strukturiert.

Auf der gesamten Oberfläche der oben beschriebenen

Struktur wird nach dem Aufbringen eines isolierenden Materials mit der CVD, wie beim Bilden der Abdeckoxidschicht 43 verwendet, das aufgebrachte isolierende Material mit einer Rückätzung mittels eines anisotropen Ätzens, wie z. B. dem reaktiven Ionenätzen, behandelt, um die Abdeckoxidschicht 43 und das potentialmäßig nicht festgelegte Gate 37 freizulegen, wobei sich das isolierende Material von Siliziumoxid in der Ätzrate unterscheidet, wie z. B. PSG (Phosphorsilikatglas), BSG (Borsilikatglas) oder BPSG (Borphosphorsilikatglas). Damit wird eine Seitenwandsolationsschicht 45 mit einer Dicke von 50 bis 70 nm auf der ersten und der zweiten lateralen Oberfläche des Steuerungsgates 41 und der Abdeckoxidschicht 43 gebildet. Dabei wird die Abdeckschicht 43 nicht geätzt, da sie sich in ihrer Ätzrate von dem obigen isolierenden Material unterscheidet.

Bezugnehmend auf Fig. 4(C) wird nach dem Aufbringen eines ersten Photolacks 47 auf die gesamte Oberfläche der oben beschriebenen Struktur eine Seite des potentialmäßig nicht festgelegten Gates 37 zusammen mit der Seitenwandsolationsschicht 45, die auf dem ersten lateralen Oberflächen des Steuerungsgates 41 und der Abdeckoxidschicht 43 gebildet ist, durch Ausführen einer Belichtung und einer Entwicklung des ersten Photolacks 47 freigelegt. Dann wird ein NaBätzen unter Verwendung des ersten Photolacks 47 als Maske durchgeführt, um die freigelegte Seitenwandsolationsschicht 45, die auf der ersten lateralen Oberfläche des Steuerungsgates 41 und der Abdeckoxidschicht 43 gebildet ist, zu entfernen.

Wie es in der Fig. 4(D) gezeigt ist, wird der erste Photolack 47 entfernt. Dann wird das potentialmäßig nicht festgelegte Gate 37 durch anisotropes Ätzen unter Verwendung der Abdeckoxidschicht 43 und eines Teils der Seitenwandsolationsschicht 45, die auf der zweiten lateralen Oberfläche des Steuerungsgates 41 und der Abdeckoxidschicht 43 als Maske verbleibt, strukturiert. Nach dem Aufbringen eines zweiten Photolacks 49 auf der gesamten Oberfläche der obigen Struktur, werden die anderen Seiten des potentialmäßig nicht festgelegten Gates 37 zusammen mit der zweiten lateralen Oberfläche des Steuerungsgates 41 und der Abdeckoxidschicht 43 durch Ausführen einer Belichtung und einer Entwicklung des zweiten Photolacks 49 freigelegt. Dann werden N-Typ-Störstellen, wie z. B. Phosphor (P) oder Arsen (As), schwach in den freigelegten Abschnitt in dem anderen Teil des Substrats 31 unter Verwendung des zweiten Photolacks 49 als Maske ionenimplantiert, um eine schwach dotierte Region 51 zum Bilden einer Doppeldiffusionsdrainstruktur zu bilden. Inzwischen wird die schwach dotierte Region 51 durch die Kante eines potentialmäßig nicht festgelegten Gates 37 überlagert.

Bezugnehmend auf Fig. 4(E) wird der zweite Photolack 49 entfernt. Dann wird eine Oxidation an der freigelegten ersten und zweiten lateralen Oberfläche des potentialmäßig nicht festgelegten Gates 37 und des Steuerungsgates 41 mit einer Dicke von 10 bis 50 nm vorzugsweise von etwa 20 bis 40 nm durchgeführt, um eine zweite Gateoxidschicht 52 zu bilden. Als nächstes wird ein Polysilizium, das mit Störstellen dotiert ist, mit der CVD aufgebracht, und mit einer Rückätzung mittels eines anisotropen Ätzens, wie z. B. dem reaktiven Ionenätzen, behandelt, um die Abdeckoxidschicht 43 und die zweite Gateoxidschicht 52 freizulegen. Damit werden ein Auswahlgate 53 und ein Löschgat 55, das sich in einer Seitenwandform auf der ersten bzw. der zweiten lateralen Oberfläche des potentialmäßig nicht festgelegten Gates 37 und des Steuerungsgates 41 befindet, gebildet. Inzwischen wird das Löschgat 55 der schwach dotierten Region 51 überlagert.

Dann wird eine Source- und eine Drainregion 57 bzw. 58 durch starkes Ionenimplantieren von N-Typ-Störstellen, wie

z. B. Phosphor (P) oder Arsen (As), auf beiden Seiten des Substrats 31 unter Verwendung der Abdeckoxidschicht 43, des Auswahlgates 53 und des Löschgates 55 als Maske gebildet.

Die Drainregion 58 wird einem Teil der schwach dotierten Region 51 überlagert, der nicht durch das Löschgat 55 überlagert wird. Dadurch wird ein Kanal 63 unter dem potentialmäßig nicht festgelegten Gate 37 und dem Auswahlgate 53 des Substrats 31 gebildet, d. h. zwischen der Source-region 57 und der schwach dotierten Region 51. Der Kanal 63 umfaßt eine erste und eine zweite Kanalregion 60 und 62, die durch das Auswahlgate 53 bzw. das potentialmäßig nicht festgelegte Gate gesteuert werden.

Die Flash-Speicherzelle gemäß der vorliegenden Erfindung, wie oben beschrieben, umfaßt das Auswahlgate 53 zum Bestimmen der Auswahl der Zellen, das Steuerungsgate 41 zum Steuern des Programmierens und Löschens der Zelle, das potentialmäßig nicht festgelegte Gate 37 zum Speichern von Elektronen beim Programmieren und das Löschgat 55, in das die Elektronen, die in dem potentialmäßig nicht festgelegten Gate 37 gespeichert sind, beim Löschen injiziert werden.

Die Flash-Speicherzelle wird durch eine laterale Sourceinjektion der heißen Elektronen in das potentialmäßig nicht festgelegte Gate 43 programmiert. Mit anderen Worten werden, wenn eine hohe Spannung an das Steuerungsgate 41 und die Drainregion 58 nach dem Einschalten der ersten Kanalregion 60 durch Anlegen einer niedrigen Spannung, die über einer Schwellenspannung liegt, an das Auswahlgate 53, die heißen Elektronen, die in der ersten Kanalregion 60 erzeugt werden, in das potentialmäßig nicht festgelegte Gate 37 injiziert, und die Zelle wird programmiert. Als Wirkung der vorliegenden Erfindung erhöht die laterale Sourceinjektion der heißen Elektronen in das potentialmäßig nicht festgelegte Gate 37 die Programmierrate der Zelle, und die dick gebildete erste Gateoxidschicht 35 verbessert den Koppeleffekt, der die Programmiereffizienz der Zelle verbessert.

Im Gegensatz zum Programmieren wird die Zelle gelöscht, wenn die Elektronen, die in das potentialmäßig nicht festgelegte Gate 37 injiziert werden, durch die zweite Gateoxidschicht 42 tunneln, um das Gate 55 durch den Fowler-Nordheim-Mechanismus zu löschen. Mit anderen Worten wird die Zelle gelöscht, wenn an das Steuerungsgate 41 und die Drainregion 58 eine Spannung angelegt wird, die höher ist, als die Spannung, die beim Programmieren der Zelle angelegt wird, und folglich tunneln die Elektronen, die in das potentialmäßig nicht festgelegte Gate 37 injiziert werden. Wenn eine negative Spannung an das Auswahlgate 53 und das Steuerungsgate 41 angelegt wird, kann die Zelle mit einer relativ niedrigen Spannung gelöscht werden. Gemäß der vorliegenden Erfindung kann die Zuverlässigkeit der ersten Gateoxidschicht 35 aufgrund des Tunnelns der Elektronen, die in das potentialmäßig nicht festgelegte Gate 43 injiziert werden, zu dem Löschgat 55 durch die dünne zweite Gateoxidschicht 52 verbessert werden. Zusätzlich wird eine negative Spannung an das Auswahlgate 53 angelegt, und somit wird die erste Kanalregion 60 abgeschaltet, was den Leckstrom erniedrigt, der durch die Überlöschung bewirkt wird.

Patentansprüche

- Flash-Speicherzelle mit folgenden Merkmalen: einer Gateisolationsschicht (35), die auf einem Substrat (31) gebildet ist; einem potentialmäßig nicht festgelegten Gate (37), einer ersten Isolationsschicht (39) und einem Steuerungsgate (41), die auf der Gateisolationsschicht (35)

gebildet sind;

Seitenwandschicht (45, 52), die auf beiden Seiten des potentialmäßig nicht festgelegten Gates (37) und des Steuerungsgates (41) gebildet sind; Seitenwandleitungsschichten (53, 55), die auf den Seitenwandschichten (45, 52) gebildet sind; und einer Sourcerregion (57) und einer Drainregion (51, 58), die in dem Substrat gebildet sind.

2. Flash-Speicherzelle gemäß Anspruch 1, bei der die Seitenwandschicht (45, 52) eine erste Seitenwandschicht (45), die an einer ersten Seite des Steuerungsgates (41) gebildet ist, und zweite Seitenwandschicht (52), die auf beiden Seiten des Steuerungsgates (37) gebildet sind, aufweisen.

3. Flash-Speicherzelle gemäß Anspruch 1 oder 2, die ferner eine schwach dotierte Drainregion (51) aufweist, die in dem Substrat (31) unter einer ersten Seite der Seitenwandleitungsschichten (53, 55) gebildet ist.

4. Flash-Speicherzelle gemäß Anspruch 1, 2 oder 3, bei der die Seitenwandleitungsschichten (53, 55) Polysiliziumschichten sind.

5. Flash-Speicherzelle gemäß einem der vorhergehenden Ansprüche, bei der die Seitenwandschichten (45, 52) aus Phosphorsilikatglas, Borsilikatglas oder Borphosphorsilikatglas bestehen.

6. Flash-Speicherzelle gemäß den Ansprüchen 2-5, bei der die zweite Seitenwandschicht (52) eine Dicke von 10-50 nm aufweist.

7. Verfahren zum Herstellen einer Flash-Speicherzelle mit folgenden Schritten:

Bilden einer Feldisolationsschicht (33) auf einem Substrat (31);

Bilden einer ersten Gateoxidschicht (35) auf dem Substrat (31);

Bilden eines potentialmäßig nicht festgelegten Gates (37), einer ersten Isolationsschicht (39) und eines Steuerungsgates (41) auf der ersten Gateisolationsschicht (35);

Bilden von Seitenwandschichten (45, 52) auf beiden Seiten des potentialmäßig nicht festgelegten Gates (37) und des Steuerungsgates (41);

Bilden von Seitenwandleitungsschichten (53, 55) an den Seitenwandschichten (45, 52); und

Bilden einer Sourcerregion (57) und einer Drainregion (51, 58) in dem Substrat (31).

8. Verfahren gemäß Anspruch 7, bei dem die Schritte des Bildens des potentialmäßig nicht festgelegten Gates (37), der ersten Isolationsschicht (39) und des Steuerungsgates (41) folgende Schritte aufweisen:

Aufbringen einer ersten Polysiliziumschicht auf der ersten Gateisolationsschicht (35);

Aufbringen einer Isolationsschicht auf der ersten Polysiliziumschicht;

Aufbringen einer zweiten Polysiliziumschicht und der isolierenden Schicht, um ein Steuerungsgate (41) und eine erste Isolationsschicht (39) zu bilden;

Bilden einer ersten Seitenwandschicht (45) auf einer ersten Seite des Steuerungsgates (41); und Strukturieren der ersten Polysiliziumschicht, um ein potentialmäßig nicht festgelegtes Gate (37) zu bilden.

9. Verfahren gemäß Anspruch 7, bei dem die Seitenwandschichten (45, 52) eine erste Seitenwandschicht (45), die auf einer ersten Seite des Steuerungsgates (41) gebildet ist, und zweite Seitenwandschichten (52), die auf beiden Seiten des potentialmäßig nicht festgelegten Gates (37) gebildet sind, aufweisen.

10. Verfahren gemäß Anspruch 9, bei dem die erste

Seitenwandisolationschicht (45) dicker ist als die zweiten Seitenwandisolationschichten (52).

11. Verfahren gemäß Anspruch 10, bei dem eine Dicke der zweiten Seitenwandisolationschichten (52) etwa 10–40 nm beträgt.

5

12. Verfahren gemäß Anspruch 8, bei dem die Seitenwandisolationschichten zweite Seitenwandisolationschichten (52) sind, die auf beiden Seiten des potentialmäßig nicht festgelegten Gates (37) gebildet sind, und wobei die erste Seitenwandisolationschicht (45) dicker ist, als die zweiten Seitenwandisolationschichten (52).

10

13. Verfahren gemäß den Ansprüchen 7–11, bei dem eine Länge des potentialmäßig nicht festgelegten Gates (37) größer ist als die Länge des Steuerungsgates (41). 15

14. Verfahren gemäß den Ansprüchen 7–13, bei dem die Seitenwandleitungsschichten (53, 55) Polysiliziumschichten sind.

15. Verfahren gemäß den Ansprüchen 7–14, das ferner folgenden Schritt aufweist:

20

Bilden einer schwach dotierten Drainregion (51) in dem Substrat (31) unterhalb einer ersten Seite des potentialmäßig nicht festgelegten Gates (37) nach dem Bilden der Seitenwandisolationschicht (45).

16. Verfahren gemäß den Ansprüchen 7–15, bei dem der Schritt des Bildens der Seitenwandisolationschichten (45, 52) Phosphorsilikatglas, Borsilikatglas oder Borphosphorsilikatglas umfaßt.

25

Hierzu 4 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

FIG4 D

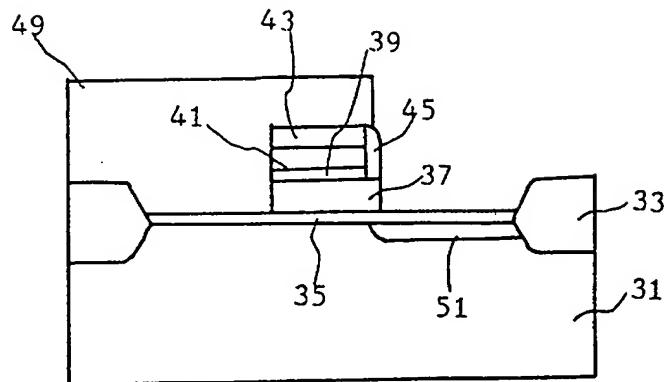


FIG4 E

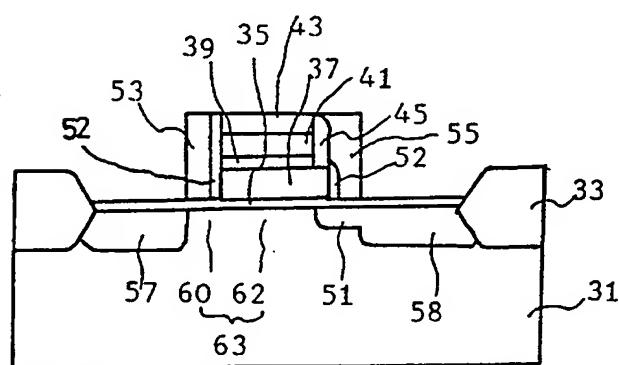


FIG. 1
(STAND DER TECHNIK)

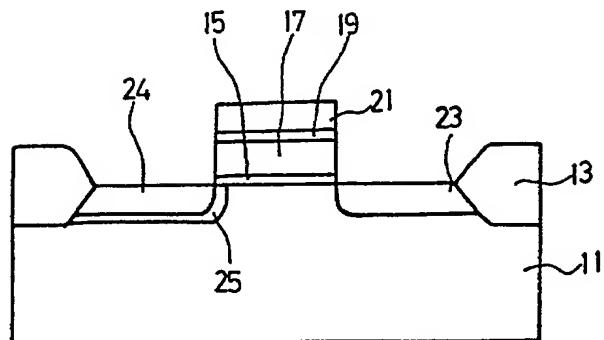


FIG. 2A
(STAND DER TECHNIK)

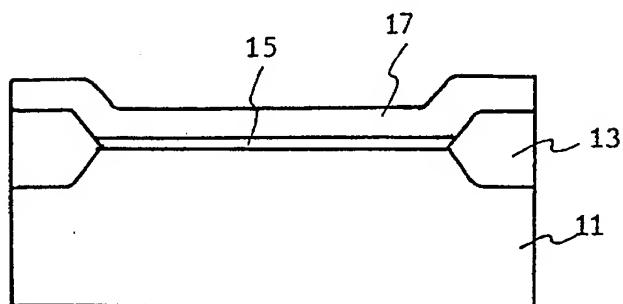


FIG. 2B
(STAND DER TECHNIK)

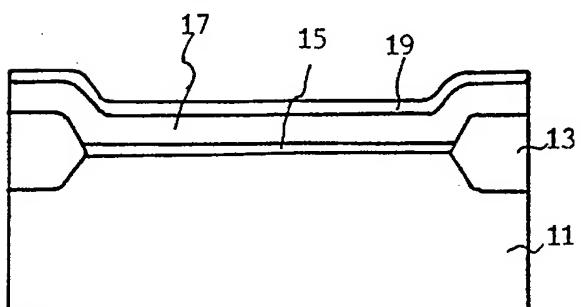


FIG.2C
(STAND DER TECHNIK)

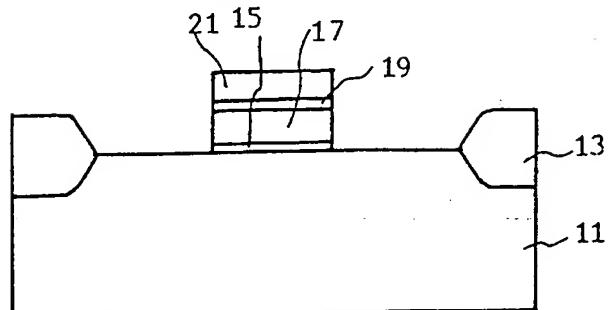


FIG.2D
(STAND DER TECHNIK)

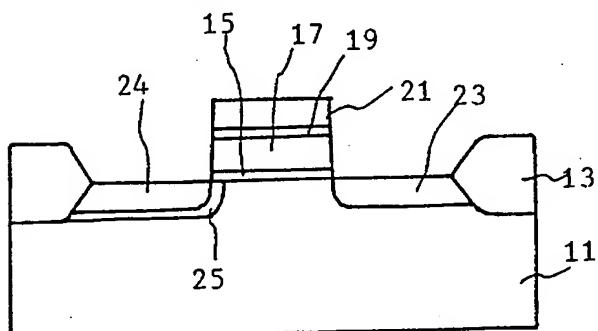
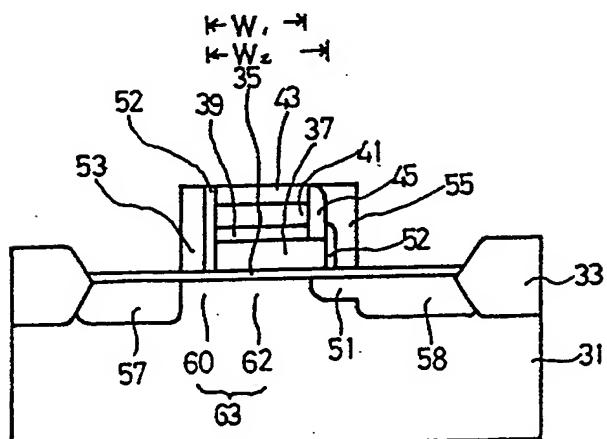
**FIG.3**

FIG.4A

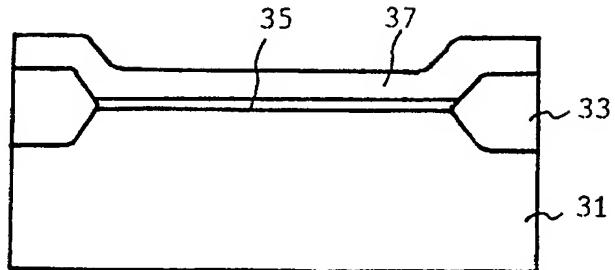


FIG.4B

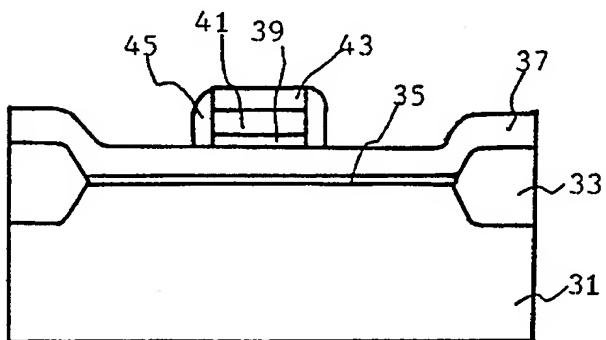


FIG.4C

